

2/2



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03425134.8

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 03425134.8
Demande no:

Anmeldetag:
Date of filing: 28.02.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se referer à la description.)

Gate voltage regulation system for a non volatile memory cells programming and/or
soft programming phase

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G11C/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT SE SI SK TR LI

THIS PAGE BLANK (USPTO)

Titolo: Sistema di regolazione di tensione di gate per la fase di programmazione e/o la fase di Soft Programmazione di celle di memoria non volatili.

DESCRIZIONE

5 Campo di applicazione

La presente invenzione fa riferimento ad un sistema di regolazione di tensione di gate per la fase di programmazione e/o la fase di Soft Programmazione di celle di memoria non volatili.

10 Più in particolare, l'invenzione fa riferimento ad un sistema di regolazione di tensione di gate per la fase di programmazione e/o la fase di Soft Programmazione di celle di memoria non volatili, ad esempio di tipo Flash, a bassa occupazione di area circuitale, del tipo in cui le celle di memoria sono organizzate in matrici di celle con relativi circuiti preposti alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e
15 cancellazione del contenuto delle celle di memoria, dette celle avendo terminali di gate polarizzati in fase di programmazione con un predeterminato valore di tensione attraverso regolatori di tensione a pompa di carica.

L'invenzione trova quindi la sua naturale applicazione in dispositivi Flash
20 EEPROM in cui le locazioni di memoria sono organizzate in matrici di celle con relativi circuiti preposti alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle stesse.

Arte nota

Com'è ben noto in questo specifico settore tecnico, nei moderni dispositivi
25 di memoria non volatile integrati su semiconduttore, per esempio nelle memorie di tipo Flash EEPROM, è sempre più sentita la necessità di applicare alle celle di memoria tensioni molto "precise" in fase di scrittura.

Ciò è generalmente valido sia per scrittura di celle aventi un terminale di bulk mantenuto a massa, in sostanza con $V_{bulk}=0$, sia per la scrittura
30 con V_{bulk} negativa.

Le operazioni di scrittura per una memoria Flash sono essenzialmente di due tipi:

- 1) Programmazione vera e propria, per cambiare lo stato logico di una cella da cancellata a programmata;
- 2) Soft Programmazione, che è un tipo di programmazione a bassa efficienza necessaria per avere un controllo più fine dello spostamento di soglia di una data cella.

Normalmente, una Soft Programmazione si rende necessaria dopo una cancellazione, per recuperare tutti quei bit la cui soglia prossima allo zero potrebbe causare problemi di falsa lettura in una architettura di memoria di tipo NOR.

- 10 I circuiti coinvolti sia nell'operazione di programmazione, sia nell'operazione di Soft Programmazione sono sostanzialmente gli stessi, con la sola differenza che le tensioni necessarie nella fase di Soft Programmazione sono più basse di quelle della fase di programmazione.

15 Più in particolare valgono generalmente le seguenti regole riportate nella tabella 1:

		Programmazione	Soft Programmazione
V_{gate}	Rampa	$V_{start-p}, V_{final-p}, \Delta T_{pulse-p}$	$V_{start-p}, V_{final-p}, \Delta T_{pulse-p}$
V_{drain}	Cost.	V_d	V_d
V_{bulk}	Cost.	0 o negativo	0 o negativo
V_{source}	Cost.	0	0

Tabella 1

- 20 In sostanza, la fase di programmazione viene eseguita applicando una tensione a rampa sul terminale di gate delle celle di memoria cosa che garantisce (se effettuata con una pendenza della rampa ben precisa) lo spostamento in soglia desiderato nel tempo desiderato e con una corrente costante.

- 25 Se identifichiamo con le sigle V_{start} e V_{final} i valori di tensioni all'inizio e alla fine della rampa, e con $T_{program}$ la durata della rampa, si ottiene una programmazione a corrente costante come illustrato in figura 1.

La rampa si può realizzare in genere in due modi:

- 1) Analogica; che viene ottenuta con una rampa lineare;
- 2) A impulsi; che viene ottenuta con tanti piccoli impulsi in modo da interpolare la caratteristica lineare.

5 Consideriamo ora le problematiche connesse alla realizzazione di una rampa ad impulsi.

Una tale rampa di tensione dev'essere lineare con valori V_{start} , V_{final} , $T_{pulse}=T_{program}$ il più possibile indipendenti dalle condizioni operative, quali ad esempio:

- 10 - V_{supply} , tensione di alimentazione del dispositivo di memoria;
- Temperatura di esercizio;
- Variazione di carico capacitivo

Non è per nulla semplice realizzare una circuiteria che con poca occupazione in area riesca a garantire una costanza della rampa al variare delle condizioni operative di cui sopra.

15 Inoltre, una volta definito e fissato il sistema di regolazione che si intende utilizzare, non è detto che vada egualmente bene per la fase di programmazione e per la fase di Soft Programmazione.

Esaminiamo dapprima i potenziali limiti di un sistema di regolazione unico.

20 Vediamo in breve le problematiche connesse con l'impiego di un unico sistema di regolazione per entrambe le fasi:

- *Programmazione*: in questo caso la rampa di tensione, partendo da valori bassi equivalenti circa alla tensione di alimentazione per memorie funzionanti a 3V, viene portata a valori prossimi a quelli supportabili dalla tecnologia, ad es. ~10V

30 In questo caso si ha la necessita di realizzare una rampa quanto più prossima a quella ideale, senza però disporre di un regolatore serie, in quanto la differenza di tensione ΔV necessaria ai capi del transistor serie del regolatore ci porterebbe ad avere una tensione a monte pericolosamente vicina, se non addirittura superiore a quella limite prevista dalla tecnologia.

Si può osservare a tal proposito la qui allegata figura 2A in cui è illustrata una distribuzione delle tensioni di soglia delle celle di un array di memoria. Con D2 è indicata la distribuzione delle celle programmate. Con D1 è indicata la distribuzione delle celle dopo cancellazione. In grigio le
 5 celle da recuperare dopo l'operazione di cancellazione.

Analogamente, in figura 2B è illustrata una distribuzione delle tensioni di soglia delle celle di un array di memoria dove in grigio sono rappresentate in percentuale le celle sovrarecuperate dopo l'operazione di cancellazione, nel caso di pompa di carica ad alta efficienza.

10 In genere si preferisce connettere l'uscita della pompa di carica, preposta alla generazione della rampa di tensione, direttamente al nodo di gate, adoperando una regolazione di tipo ON/OFF.

In questo caso le problematiche sono quelle legate all'efficienza della pompa.

15 Infatti, come mostrato in figura 3, nella parte bassa della rampa, a basse tensioni, si ha una elevata efficienza della pompa, ma ciò potrebbe portare a seri problemi di regolazione intesa come ripple non facilmente controllabile e quindi a un andamento distorto della rampa ben lungi dall'essere ideale.

20 Qualora si volesse diminuire l'efficienza della pompa, si potrebbero avere seri problemi nella parte alta della rampa, dove la pompa avrebbe difficoltà a seguire la rampa ideale, come mostrato in figura 4.

- *Soft Programmazione*: in questo caso la problematica è ancora più grave.

25 La pompa di carica lavora infatti ad ancora più bassi valori di tensione, in genere minori di quelle di alimentazione per un dispositivo di memoria alimentato a 3V.

Pertanto, la gestione del ripple diventa in questo caso molto impegnativa.

Il problema tecnico che sta alla base della presente invenzione è quello di
 30 escogitare un sistema di regolazione di tensione di gate, in particolare per le fasi di programmazione e di Soft Programmazione di celle di memoria non volatili, il quale abbia caratteristiche strutturali e funzionali tali da migliorare la fedeltà di risposta del regolatore di tensione alle basse

tensioni, superando i limiti delle soluzioni attualmente proposte dalla tecnica nota.

Sommario dell'invenzione

5 L'idea di soluzione alla base della presente invenzione è quella di prevedere circuiti di regolazione della tensione di gate strutturalmente e funzionalmente indipendenti; uno preposto alla fase di programmazione e l'altro preposto alla fase di Soft Programmazione.

10 Sulla base di tale idea di soluzione il problema tecnico è risolto da un sistema del tipo precedentemente indicato e definito dalla rivendicazione 1 e seguenti.

Le caratteristiche ed i vantaggi del sistema secondo l'invenzione risulteranno dalla descrizione di un esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

- 15 - la figura 1 mostra schematicamente l'andamento di tensioni all'inizio e alla fine di una rampa di programmazione a corrente costante;
- la figura 2A mostra schematicamente un diagramma che illustra una distribuzione delle tensioni di soglia di celle memoria in un array di celle; con D2 è indicata la distribuzione delle celle programmate,
- 20 mentre con D1 è indicata la distribuzione delle celle dopo cancellazione; in grigio le celle da recuperare dopo l'operazione di cancellazione;
- la figura 2B mostra schematicamente un diagramma che illustra una distribuzione di celle di memoria cancellate in un array di celle; in
- 25 grigio sono rappresentate in percentuale le celle sovrarecuperate dopo l'operazione di cancellazione, nel caso di pompa di carica ad alta efficienza;
- la figura 3 mostra una vista schematica di un diagramma tensione vs. tempo che confronta una rampa ideale (in tratteggio) e rampa reale (in
- 30 grassetto) nel caso di pompa di carica ad alta efficienza
- la figura 4 mostra una vista schematica di un diagramma tensione vs. tempo che confronta una rampa ideale (in tratteggio) e rampa reale (in grassetto) nel caso di pompa di carica a bassa efficienza;

- la figura 5 è una vista schematica di un sistema di regolazione realizzato secondo la presente invenzione per generare la tensione di gate, in particolare per le fasi di Programmazione e di Soft Programmazione di celle di memoria non volatili;
- 5 - la figura 6 è una vista schematica di una matrice di celle di memoria associata al sistema di regolazione di figura 5.

Descrizione dettagliata

Con riferimento a tali figure, con 1 è globalmente e schematicamente indicato un sistema di regolazione di tensione di gate per la fase di
 10 programmazione e/o la fase di Soft Programmazione di celle di memoria non volatili, ad esempio di tipo Flash, a bassa occupazione di area circuitale.

Le memorie non volatili sono dispositivi elettronici integrati su semiconduttore e dotati di matrici di celle di memoria, in particolare celle
 15 multilivello.

Più in particolare, per dispositivo di memoria si intende un qualunque sistema elettronico monolitico incorporante una matrice 5 di celle 9 di memoria, organizzate in righe, dette word lines 10, e colonne, dette bit lines 11, nonché porzioni circuitali associate alla matrice di celle e
 20 preposte alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle di memoria. Una matrice 5 siffatta è illustrata ad esempio in figura 6.

Un dispositivo di questo genere può essere ad esempio un chip di memoria integrato su semiconduttore e del tipo Flash EEPROM non volatile
 25 suddivisa in settori e cancellabile elettricamente.

Ciascuna cella di memoria comprende un transistor a floating gate con terminali di source S, drain D e control gate G.

Tra le porzioni circuitali associate alla matrice di celle è prevista la presenza circuiti di programmazione associati ai terminali di gate G delle
 30 celle di memoria ed alimentati da una specifica tensione di alimentazione Vdd applicata ad una porzione circuitale 6 a pompa di carica.

Inoltre, è previsto un regolatore 7 di tensione per la porzione circuitale 6 a pompa di carica.

Nell'esempio di figura 5 la pompa di carica 6 è alimentata dalla tensione V_{dd} e regolata dall'uscita del regolatore 7 di tensione stabile che opera prelevando un riferimento stabile V_{ref} di tensione.

5 Le porzioni circuitali 6 e 7 fanno parte di un primo circuito o stadio di regolazione ST1 che, secondo la presente invenzione, è preposto alla generazione ed alla regolazione di una rampa di tensione da applicare ai terminali di gate delle celle di memoria in fase di programmazione.

10 Tale primo stadio ST1 presenta un'uscita 3 applicata in ingresso ad un secondo circuito o stadio di regolazione ST2. Questo secondo stadio ST2 è preposto alla generazione ed alla regolazione di una rampa di tensione da applicare ai terminali di gate delle celle di memoria in fase di Soft Programmazione

15 Vantaggiosamente, secondo la presente invenzione, la circuiteria preposta alle operazioni di programmazione e di Soft Programmazione è stata differenziata rispetto alle soluzioni della tecnica nota e in relazione al tipo di operazione che si sta effettuando.

20 Nel caso di Soft Programmazione, al posto di applicare la tensione della pompa di carica direttamente ai capi della cella, viene applicata una tensione regolata che sfrutta l'uscita della pompa di carica come linea di alimentazione.

In sostanza, il sistema dell'invenzione comprende almeno due stadi principali:

un primo stadio ST1 a regolazione di tensione grossolana; e

un secondo stadio ST2 a regolazione fine.

25 Il secondo stadio ST2 comprende una struttura circuitale 2 a specchio di corrente avente un ramo circuitale a transistori accoppiato tra l'uscita 3 del primo stadio ST1 e un riferimento di potenziale di massa, nonché un secondo ramo circuitale a transistori accoppiato ai terminali di gate delle celle 5.

30 In parallelo al secondo ramo circuitale è previsto un transistor 4 di abilitazione ricevente sul proprio terminale di comando un segnale Softp per comandare la commutazione dell'operatività del circuito verso una fase di Soft Programmazione.

Un regolatore 8 di tensione di gate, ricevendo un riferimento di tensione V_{ref} , è previsto per pilotare in tensione il terminale di gate di un transistor del secondo ramo circuitale della struttura 2 a specchio di corrente.

- 5 L'uscita della pompa di carica 6 alimenta dunque la struttura 2 a specchio di corrente come se fosse una vera alimentazione o supply line.

Tra la tensione prodotta dall'uscita della pompa 6 e quella che viene applicata ai terminali di gate delle celle di memoria 5 attraverso lo specchio di corrente è previsto un transistor 12 che lavora in condizioni
10 di saturazione.

Il sistema 1 rimane del tipo ON/OFF dove il nodo superiore dello stadio ST1 viene regolato con una tensione V_{dd} superiore a quelle normalmente utilizzate in Soft Programmazione, ad esempio la tensione di lettura di 4 – 5 V.

- 15 Poiché la struttura 2 a specchio corrente comprende transistori di area e dimensioni note, pertanto è possibile settare opportunamente la corrente di carica del nodo 13.

In questo modo il transistor 4 inserito tra la pompa 6 e il nodo da regolare, lavorando in saturazione, assorbirà tutte le variazioni di tensione
20 dovute alle variazioni di boost della pompa, proteggendo il circuito a valle che invece verranno alimentati a corrente costante.

In estrema sintesi si può affermare che il sistema di regolazione secondo l'invenzione sfrutta uno specchio di corrente alimentato con una tensione regolata grossolana.

- 25 In altre parole, il funzionamento in saturazione del transistor 12 permette di assorbire variazioni di tensione tra i nodi 3 e 13, grazie alle caratteristiche di uscita di un transistor che lavora in saturazione, in pratica al variare di 3,13 la corrente I_{source} =costante e quindi la carica del nodo 13 avviene sempre in modo controllato.

RIVENDICAZIONI

1. Sistema di regolazione di tensione di gate per la fase di programmazione e/o la fase di Soft Programmazione di celle di memoria non volatili, ad esempio di tipo Flash, a bassa occupazione di area circuitale, del tipo in cui le celle (5) di memoria sono organizzate in matrici di celle con relativi circuiti preposti alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle di memoria, dette celle avendo terminali di gate (G) polarizzati in fase di programmazione con un predeterminato valore di tensione attraverso regolatori di tensione a pompa di carica, caratterizzato dal fatto di prevedere un primo (ST1) ed un secondo stadio (ST2) di regolazione, strutturalmente indipendenti, rispettivamente preposti alla fase di programmazione ed alla fase di Soft Programmazione; il primo stadio (ST1) generando una tensione di alimentazione per detto secondo stadio (ST2).
2. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detto secondo stadio (ST2) comprende una struttura (2) a specchio di corrente con stadio di uscita comprendente un transistor (12).
3. Sistema secondo la rivendicazione 2, caratterizzato dal fatto che un ramo circuitale di detta struttura (2) a specchio di corrente comprende un transistor di disabilitazione (4) di detta struttura (2) comandato da un segnale di commutazione in corrispondenza di detta fase di programmazione.
4. Sistema secondo la rivendicazione 3, caratterizzato dal fatto che detto transistor (12) di detta struttura (2) a specchio di corrente lavora in stato di saturazione.
5. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che detto primo stadio comprende una pompa di carica (6) alimentata da una tensione (Vdd) di alimentazione e regolata mediante un regolatore (7) di tensione stabile.
6. Sistema secondo la rivendicazione 1, caratterizzato dal fatto che l'uscita di detto secondo stadio (ST2) è accoppiata ai terminali di gate delle celle (5).

RIASSUNTO

La presente invenzione riguarda un sistema di regolazione di tensione di gate per la fase di programmazione e/o la fase di Soft Programmazione di celle di memoria non volatili, ad esempio di tipo Flash, a bassa occupazione di area circuitale, del tipo in cui le celle (5) di memoria sono organizzate in matrici di celle con relativi circuiti preposti alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle di memoria; le celle avendo terminali di gate (G) polarizzati in fase di programmazione con un predeterminato valore di tensione attraverso regolatori di tensione a pompa di carica. Vantaggiosamente, è previsto un primo (ST1) ed un secondo stadio (ST2) di regolazione, strutturalmente indipendenti, rispettivamente preposti alla fase di programmazione ed alla fase di Soft Programmazione; il primo stadio (ST1) generando una tensione di alimentazione per il secondo stadio (ST2).

(Fig. 5)

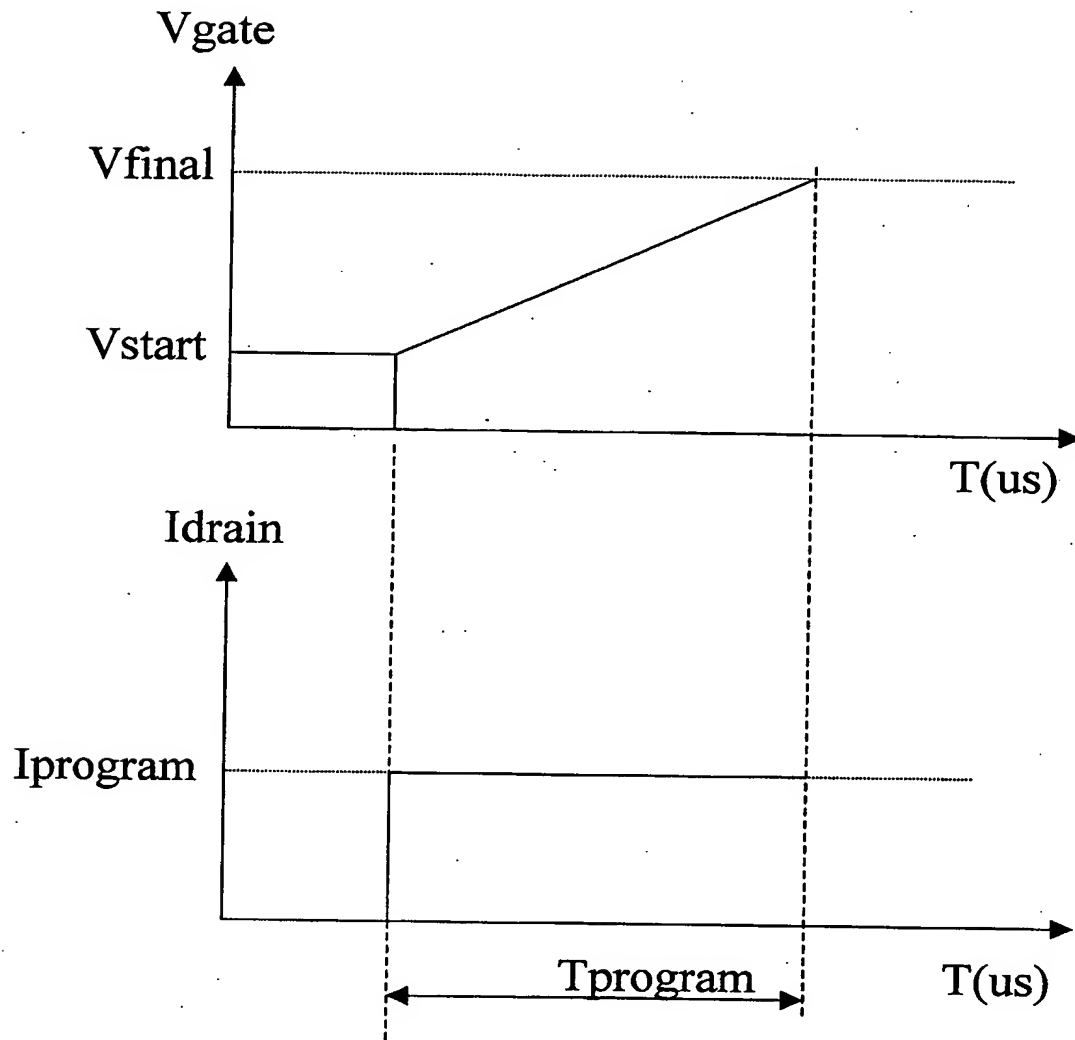


FIG.1

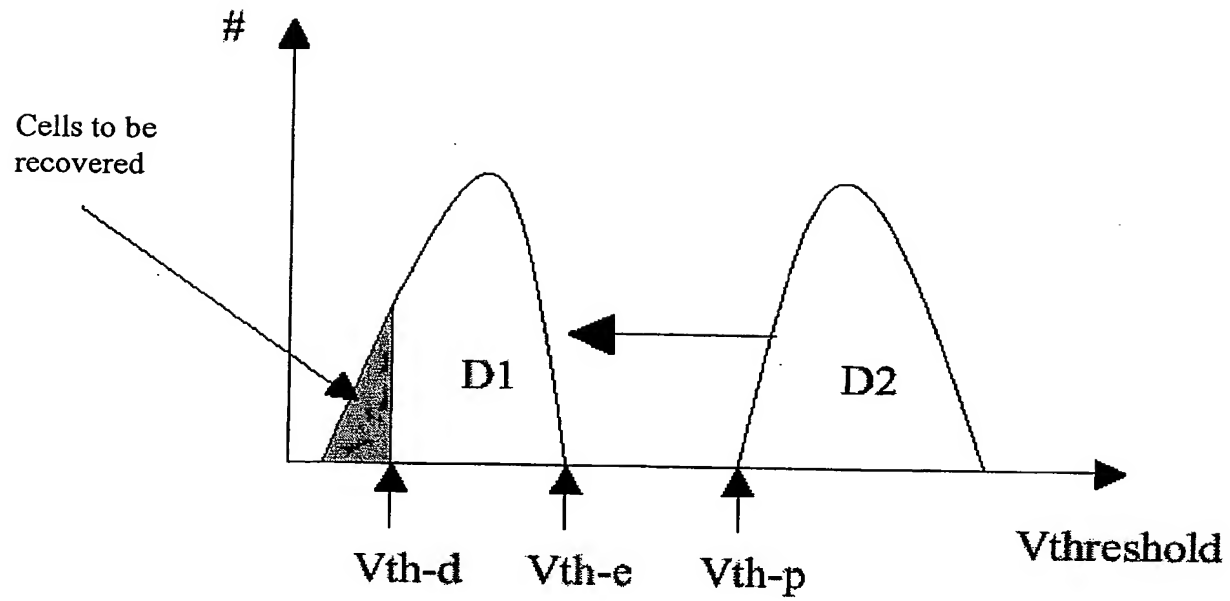


FIG. 2A

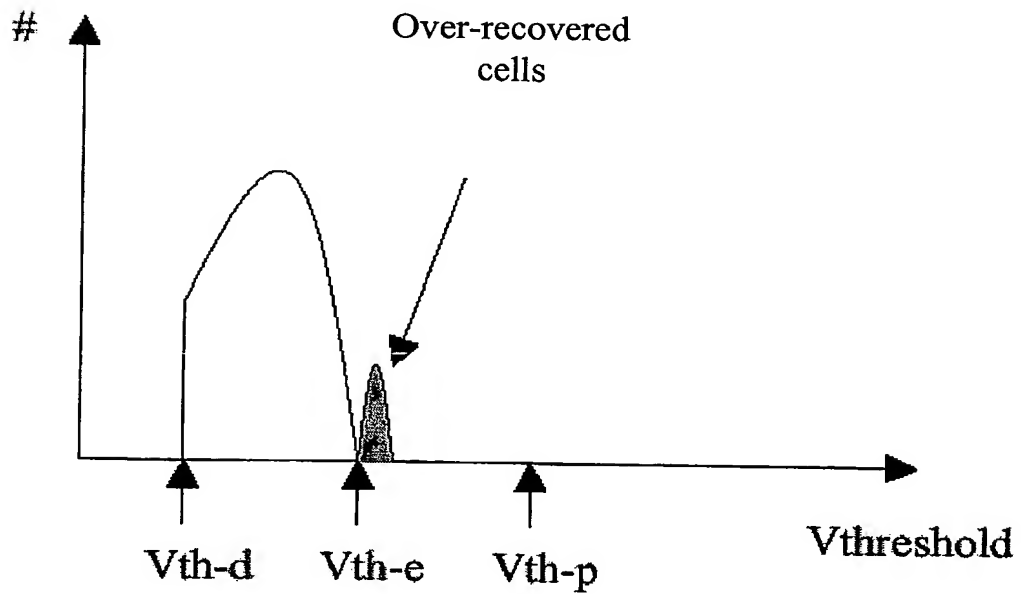


FIG. 2B

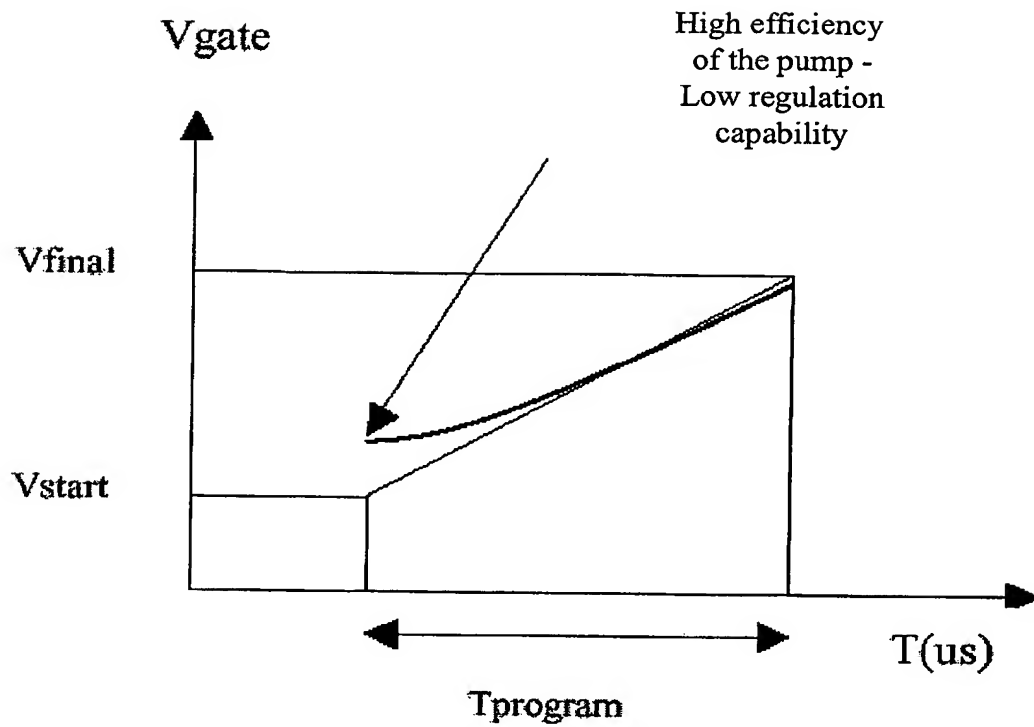


FIG.3

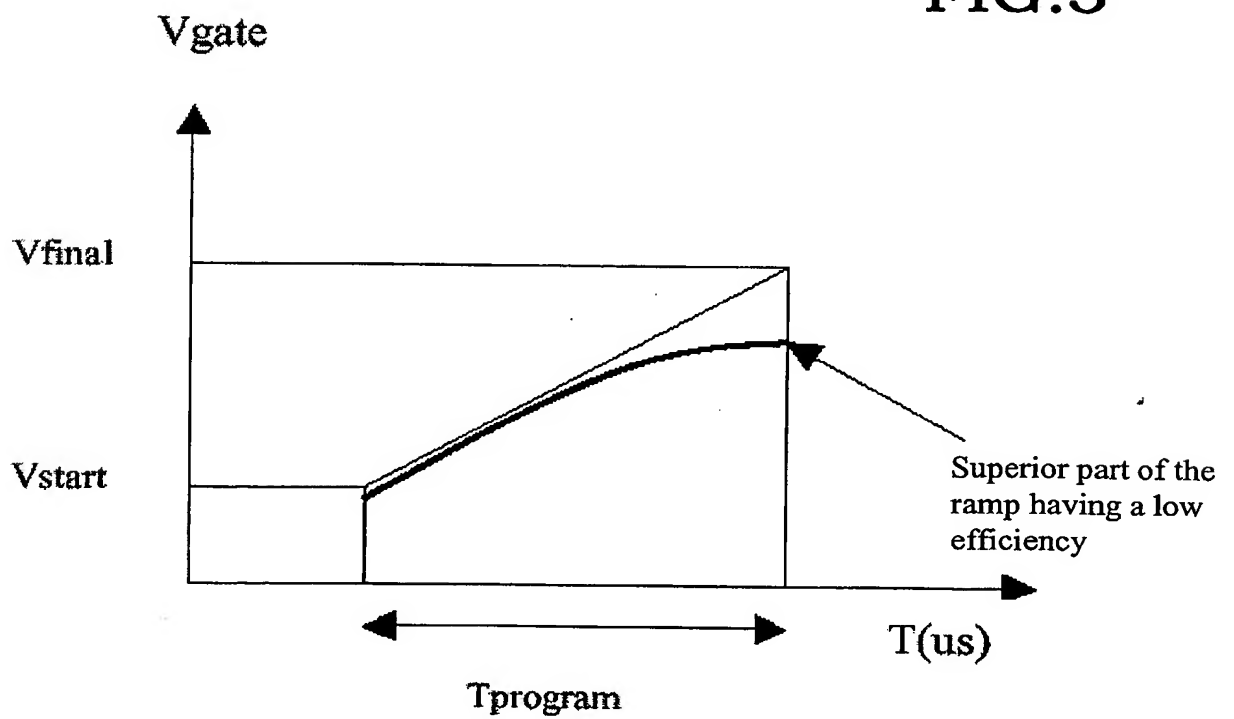


FIG.4

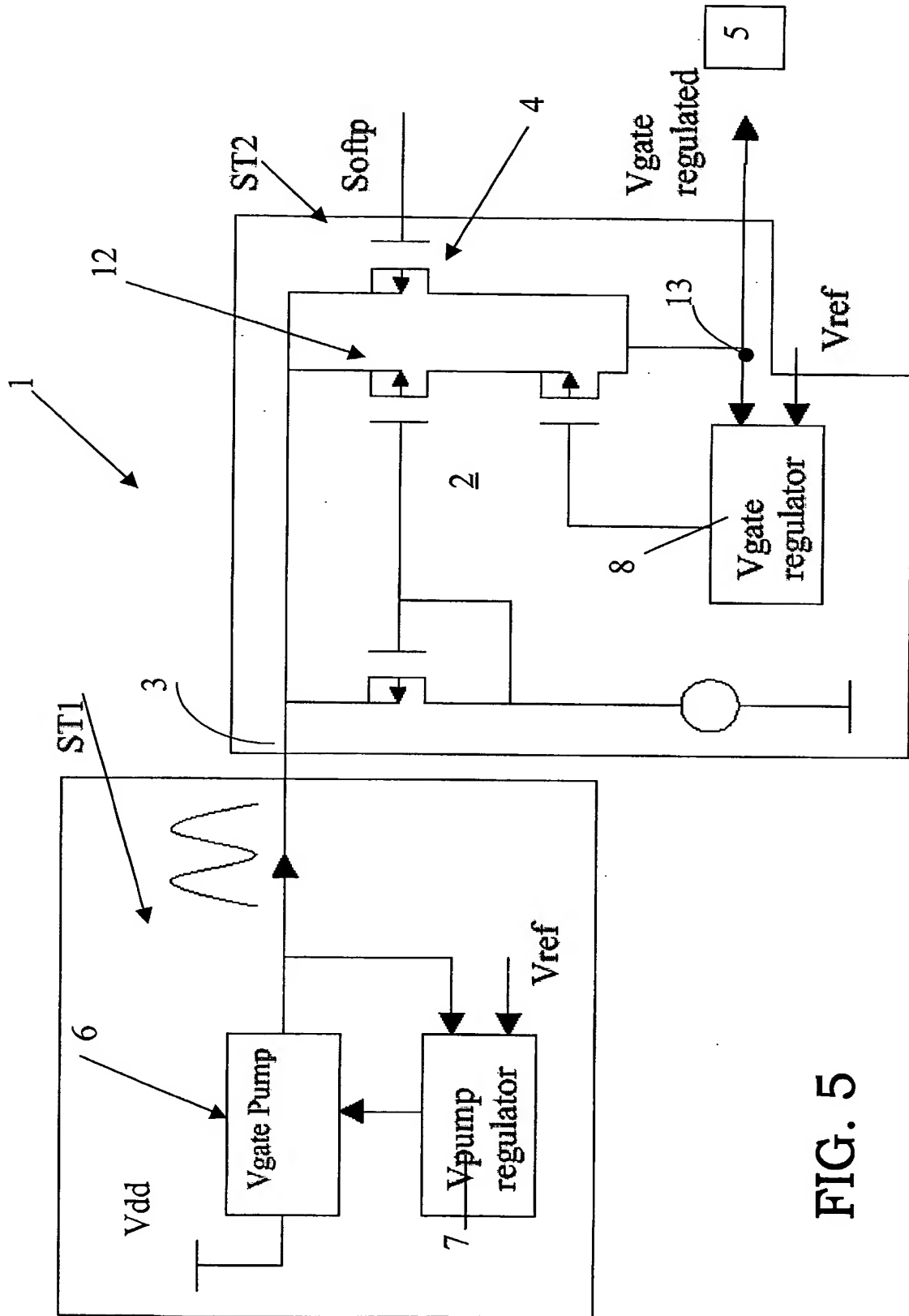
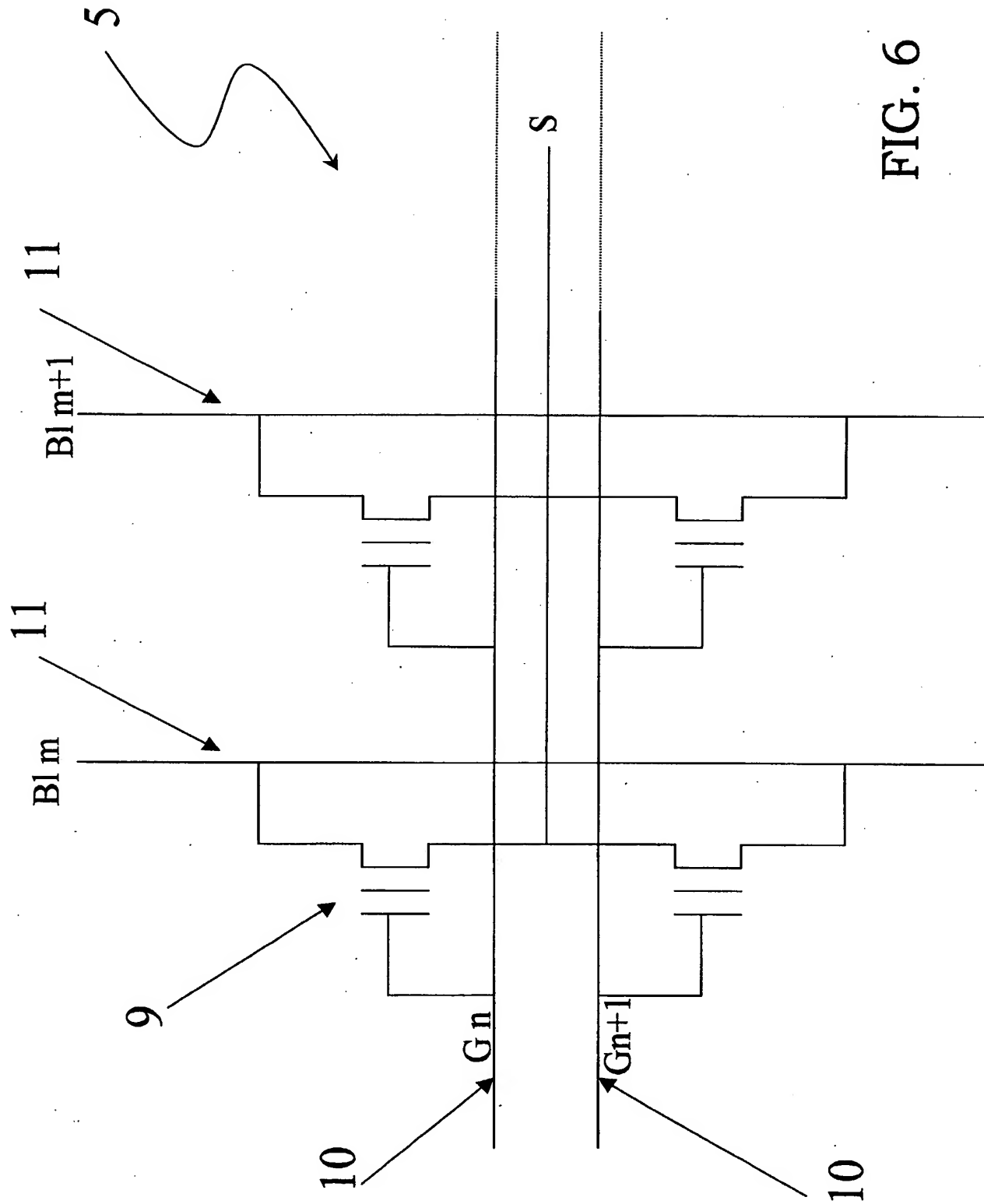


FIG. 5

FIG. 6



THIS PAGE BLANK (USPTO)